

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003 年 7 月 24 日 (24.07.2003)

PCT

(10) 国際公開番号
WO 03/060970 A1(51) 国際特許分類⁷: H01L 21/285, 21/205, 21/28, 29/78

(21) 国際出願番号: PCT/JP03/00068

(22) 国際出願日: 2003 年 1 月 8 日 (08.01.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-2507 2002 年 1 月 9 日 (09.01.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP). 株式会社日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo (JP). 株式会社北日本セミコンダクタテクノ

ロジーズ (NORTHERN JAPAN SEMICONDUCTOR TECHNOLOGIES, INC.) [JP/JP]; 〒066-8511 北海道千歳市泉沢1007番地39 Hokkaido (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 菊地 洋明 (KIKUCHI, Hiroaki) [JP/JP]; 〒066-8511 北海道千歳市泉沢1007番地39 株式会社北日本セミコンダクタテクノロジーズ内 Hokkaido (JP). 澤田 敏昭 (SAWADA, Toshiaki) [JP/JP]; 〒066-8511 北海道千歳市泉沢1007番地39 株式会社北日本セミコンダクタテクノロジーズ内 Hokkaido (JP). 山本 裕彦 (YAMAMOTO, Hirohiko) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP).

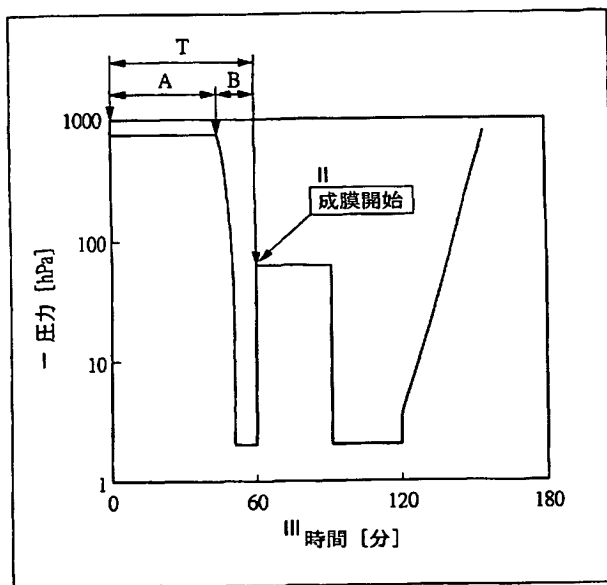
(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒160-0023 東京都新宿区西新宿8丁目1番1号 アゼリアビル3階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, SG, US.

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体集積回路装置の製造方法



(57) Abstract: A method for forming a silicon film to which impurities are added by a low-pressure CVD apparatus while suppressing diffusion of impurities from a similar silicon film formed on the inner wall of the processing chamber. In this method, a semiconductor substrate on which, for example, a gate oxide film (insulating film) is formed is loaded in a processing chamber of a CVD apparatus (first film forming apparatus), the inside of the processing chamber is so heated that the time B required to heat the processing chamber under the condition that the inside of the processing chamber is evacuated to vacuum or to a pressure below the atmospheric pressure is decreased wherever possible with respect to the time A required to heat the processing chamber under the atmospheric pressure, and thereafter formation of a silicon film to which impurities are added is started. The relation between the times A, B is $0.1 \times B \leq A \leq 13 \times B$.

BEST AVAILABLE COPY

I...PRESSURE [hPa]
II...FILM FORMATION START
III...TIME [MINUTE]

[続葉有]

WO 03/060970 A1



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

低圧CVD装置により不純物が添加されたシリコン膜を成膜する際に、処理室内壁に成膜している同様のシリコン膜からの不純物の拡散を抑制するために、CVD装置（第1成膜装置）の処理室内に、たとえば表面にゲート酸化膜（絶縁膜）の形成された半導体基板を挿入した後、大気圧下におけるその処理室内への加熱に要する時間Aに対して、その後の処理室内を真空または大気圧以下とした状況下での加熱に要する時間Bを極力短くすることにより処理室内へ加熱した後、不純物が添加されたシリコン膜の成膜を開始する。この時、AおよびBの関係が $0.1 \times B \leq A \leq 1.3 \times B$ となるようにする。

明 細 書

半導体集積回路装置の製造方法

5 技術分野

本発明は、半導体集積回路装置の製造技術に関し、特に、不純物イオンを導入したシリコン膜をCVD（Chemical Vapor Deposition）法により堆積する工程に適用した有効な技術に関するものである。

10 背景技術

MISFET（Metal Insulator Semiconductor Field Effect Transistor）のゲート電極材料として、たとえば不純物が添加された多結晶シリコン膜が用いられる。この時、添加される不純物としては、nチャネル型MISFETの場合には AsH_3 または PH_3 などを用いることができ、pチャネル型MISFETの場合には B_2H_6 などを用いることができる。

このような多結晶シリコン膜は、たとえば低圧CVD装置を用いて成膜することができる。ここで、低圧CVD装置については、1997年11月20日、（社）日本半導体製造装置協会編集、日刊工業新聞社発行、「半導体製造装置用語辞典 第4版」、p187に記載がある。

ところが、上記したような低圧CVD装置においては以下のような課題があることを本発明者らは見出した。

すなわち、MISFETのゲート電極材料として低圧CVD装置により上記したような不純物が添加された多結晶シリコン膜を成膜する際には、半導体ウェハを処理室に挿入した後、処理室内を真空または大気圧以下にした状況下で、処理室内の温度が上昇するまで一定時間待機し、その後に処理室内に生成ガスを導入して成膜を行う。この時、上記多結晶シリコン膜は、半導体ウェハの表面のみならず処理室の内壁にも成膜してしまう。続いて、新たな半導体ウェハに対して同様の多結晶シリコン膜を成膜する場合には、同様の工程で処理室内を真空または大気圧以下にした状況下で、処理室内の温度が上昇するまで一定時間待機するが、

この際に処理室内の内壁に成膜した多結晶シリコン膜から不純物が拡散してしまう。この拡散した不純物は、多結晶シリコン膜が成膜される前の半導体ウェハに飛散し、先に半導体ウェハの表面に形成されていたゲート酸化膜に導入されてしまい、そのゲート酸化膜の絶縁特性を劣化させてしまう問題がある。

- 5 本発明の目的は、低圧CVD装置により不純物が添加された多結晶シリコン膜を成膜する際に、処理室内壁に成膜している同様の多結晶シリコン膜からの不純物の拡散を抑制する技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

10

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

- すなわち、本発明は、半導体基板を第1成膜装置の処理室内に挿入する工程と、
15 前記処理室内に加熱する工程と、前記加熱工程後、化学的成膜手段にて前記半導体基板上に導電性を有する不純物が添加されたシリコン膜を成膜する工程とを含み、前記加熱工程は、

(a) 前記処理室内を大気圧に保ち、前記処理室内に加熱する工程と、

- (b) 前記(a)工程後、前記処理室内を真空または大気圧以下とした状態で前
20 記処理室内に加熱する工程とを含み、前記(a)工程に要する時間は前記(b)工程に要する時間よりも長いものである。

- また、本発明は、半導体基板上に絶縁膜を形成した後、前記半導体基板を第1成膜装置の処理室内に挿入する工程と、前記処理室内を大気圧に保って前記半導体基板を加熱する工程と、前記半導体基板を加熱した工程の後、前記半導体基板
25 を加熱しつつ前記処理室内の圧力を真空または大気圧以下に減圧する工程と、前記処理室内の前記圧力を真空または大気圧以下に保ち、化学的成膜手段にて前記絶縁膜上に導電性を有する不純物が添加された半導体膜を成膜する工程とを含み、前記処理室内を大気圧に保って前記半導体基板を加熱した工程は、前記半導体基板の温度を前記半導体膜の成膜時における前記半導体基板の第1の温度にする

加熱、または前記半導体基板の温度を前記第 1 の温度に近づける加熱を行うものである。

また、本発明は、半導体基板上に絶縁膜を形成する工程と、前記半導体基板を第 1 成膜装置の処理室内に挿入する工程と、前記処理室内を第 1 気圧に保ち、前記半導体基板を第 1 の温度に加熱する工程と、その後、前記半導体基板を加熱しつつ前記処理室内の圧力を第 2 気圧以下に減圧する工程と、前記処理室内の前記圧力を真空または大気圧以下の第 3 気圧に保ち、化学的成膜手段にて、前記第 1 の温度の半導体基板の前記絶縁膜上に、導電性を有する不純物が添加されたシリコン膜を成膜する工程とを含み、前記第 2 気圧が前記第 3 気圧よりも低くなるように減圧し、前記第 1 気圧は前記第 3 気圧よりも高い。

また、本発明は、半導体基板上に絶縁膜を形成する工程と、前記半導体基板を第 1 成膜装置の処理室内に挿入する工程と、前記処理室内を第 1 気圧に保ち、前記半導体基板を加熱する工程と、その後、前記半導体基板を加熱しつつ前記処理室内の圧力を第 2 気圧以下に減圧する工程、前記処理室内の前記圧力を真空または大気圧以下の第 3 気圧に保ち、化学的成膜手段にて前記絶縁膜上に導電性を有する不純物が添加されたシリコン膜を成膜する工程とを含み、前記第 2 気圧が前記第 3 気圧よりも低くなるように減圧し、前記シリコン膜成膜工程は、前記第 1 気圧を、前記第 3 気圧よりも高い状態に保ちつつ、かつ、前記半導体基板の温度を前記第 1 の温度に近づける加熱を行う。

20

図面の簡単な説明

図 1 は、本発明の一実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。

図 2 は、図 1 に続く半導体集積回路装置の製造工程中の要部断面図である。

図 3 は、本発明の一実施の形態である半導体集積回路装置の製造に用いる CVD 装置の構成を説明する説明図である。

図 4 は、本発明の一実施の形態である半導体集積回路装置の製造工程における多結晶シリコン膜の堆積時のタイムチャートである。

図 5 は、本発明の一実施の形態である半導体集積回路装置の製造方法により多

結晶シリコン膜を形成した場合におけるゲート酸化膜の絶縁特性を示す説明図である。

図 6 は、本発明の一実施の形態である半導体集積回路装置の製造工程と比較した製造工程による多結晶シリコン膜の堆積時のタイムチャートである。

- 5 図 7 は、本発明の一実施の形態である半導体集積回路装置の製造工程と比較した製造工程により多結晶シリコン膜を形成した場合におけるゲート酸化膜の絶縁特性を示す説明図である。

図 8 は、図 2 に続く半導体集積回路装置の製造工程中の要部断面図である。

図 9 は、図 8 に続く半導体集積回路装置の製造工程中の要部断面図である。

- 10 図 10 は、本発明の他の実施の形態である半導体集積回路装置の製造工程中における多結晶シリコン膜の堆積時のタイムチャートである。

図 11 は、本発明の他の実施の形態である半導体集積回路装置の製造方法を示す要部断面図である。

- 15 図 12 は、図 11 に続く半導体集積回路装置の製造工程中の要部断面図である。

図 13 は、本発明の他の実施の形態である半導体集積回路装置の製造に用いる CVD 装置の構成を説明する説明図である。

図 14 は、図 13 に示した CVD 装置が有するウェハホルダおよびウェハホルダに配置された半導体基板の構成を示す説明図である。

- 20 図 15 は、本発明の他の実施の形態である半導体集積回路装置の製造工程中における多結晶シリコン膜の堆積時の処理室内の圧力変化を示すタイムチャートである。

- 25 図 16 は、本発明の他の実施の形態である半導体集積回路装置の製造工程中における多結晶シリコン膜の堆積時の処理室内の温度変化を示すタイムチャートである。

発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、そ

の繰り返しの説明は省略する)。

(実施の形態 1)

以下、本実施の形態 1 の半導体集積回路装置の製造方法について、図 1 ～図 9 に従って説明する。

- 5 まず、図 1 に示すように、単結晶シリコンからなる半導体基板 1 を熱処理して、その主面に膜厚 10 nm 程度の薄い酸化シリコン膜 (パッド酸化膜) を形成する。次いでこの酸化シリコン膜の上に膜厚 120 nm 程度の窒化シリコン膜を CVD 法で堆積した後、フォトリソ膜をマスクにしたドライエッチングで素子分離領域の窒化シリコン膜と酸化シリコン膜とを除去する。
- 10 続いて、上記窒化シリコン膜をマスクにしたドライエッチングで素子分離領域の半導体基板 1 に深さ 350 nm 程度の溝を形成した後、エッチングで溝の内壁に生じたダメージ層を除去するために、半導体基板 1 を熱処理してその溝の内壁に膜厚 10 nm 程度の薄い酸化シリコン膜を形成する。
- 15 続いて、CVD 法にて半導体基板 1 上に酸化シリコン膜 2 を堆積した後、この酸化シリコン膜 2 の膜質を改善するために、半導体基板 1 を熱処理して酸化シリコン膜 2 をデンシファイ (焼き締め) する。その後、上記窒化シリコン膜をストップパに用いた化学的機械研磨 (Chemical Mechanical Polishing ; CMP) 法でその酸化シリコン膜 2 を研磨して溝の内部に残すことにより、表面が平坦化された素子分離溝 3 を形成する。
- 20 次に、熱リン酸を用いたウェットエッチングで半導体基板 1 の活性領域上に残った窒化シリコン膜を除去した後、その活性領域に p 型の導電型を有する不純物イオン (たとえば B (ホウ素)) をイオン注入して p 型ウェル 4 を形成する。続いて、半導体基板 1 を熱処理することによって、p 型ウェル 4 の表面に清浄なゲート酸化膜 (絶縁膜) 5 を形成する。
- 25 次に、図 2 に示すように、半導体基板 1 上に、n 型の導電型を有する不純物、たとえば PH_3 が添加された多結晶シリコン膜 6 を CVD 法 (化学的成膜手段) で堆積する。この多結晶シリコン膜 6 の堆積は、たとえば図 3 に示すようなバッチ式の低圧 CVD 装置 (第 1 成膜装置) を用いて行うことができる。この低圧 CVD 装置は、半導体基板 1 を保持するウェハホルダ WH を処理室 DC 内に有してい

る。処理室DC内へは、チューブTU1を通してSiH₄ガスが供給され、このSiH₄ガスの熱分解により多結晶シリコン膜6を形成することができる。また、チューブTU2、TU3よりPH₃ガスを処理室DC内へ供給することにより、多結晶シリコン膜6にPH₃を添加することができる。処理室DC内へ供給されたSiH₄ガスおよびPH₃ガスは排気口EXより排気することができる。また、図中の記号UU、U、CU、CL、LおよびLLは、処理室DC内において半導体基板1が保持されている高さを示す指標である。

本実施の形態1においては、図4に示すタイムチャートに沿って多結晶シリコン膜6の成膜を行うものである。図中のTは、成膜開始前における処理室DC内の加熱に要する時間であり、処理室DC内の容量によって規定することができる。また、Aは半導体基板1を処理室DC内に挿入後、大気圧下での処理室DC内の加熱に要する時間であり、Bは処理室DC内を真空または大気圧以下とした状況下での加熱工程に要する時間であり、前記TはAとBとの和で規定される。

上記多結晶シリコン膜6は、半導体基板1上のみならず、図3に示した処理室DCの内壁および処理室DC内におけるチューブTU1、TU2、TU3上にも成膜してしまう。また、このCVD装置は、多結晶シリコン膜6の成膜に繰り返し用いるものであり、新たな半導体基板1を処理室DC内に挿入した時には、処理室DC内の各所に多結晶シリコン膜6が成膜された状態となっている。この状況下で、長時間処理室DC内を真空または大気圧以下として加熱すると、処理室DC内の各所に成膜されている多結晶シリコン膜6が含むPH₃がその多結晶シリコン膜6から拡散する。そのPH₃は、半導体基板1上に形成されているゲート酸化膜5に導入され、ゲート酸化膜5の絶縁特性を劣化させてしまう恐れがある。

ここで、本発明者らの行った実験によれば、上記AおよびBの関係が $0.1 \times B \leq A \leq 1.3 \times B$ となる条件下で上記加熱工程を行うことにより、処理室DC内の各所に成膜されている多結晶シリコン膜6が含むPH₃の拡散を抑制できることがわかった。また、本発明者らは、容量が約56lである処理室DCを有するCVD装置を用い、AおよびBを、それぞれ約45分および約15分と上記条件を満たすように規定し、半導体基板1の主面を296の領域に分割して各領域におけるゲート絶縁膜5の絶縁特性の劣化を調べる実験を行った。すなわち、分割

した各々の領域のゲート絶縁膜 5 に対して電圧 V_g を印加し、流れた電流 I_g を測定するものである。なお、容量が約 561 である処理室 DC の場合、上記 T は約 60 分で規定される。その結果、図 5 (a) に示すように、半導体基板 1 が保持されている高さが UU (図 3 参照) の場合には、296 の領域のうち 3 の領域のみで絶縁特性の劣化が検出されるにとどまった。また、半導体基板 1 が保持されている高さが CL (図 3 参照) の場合には、図 5 (b) に示すように、296 の領域のうち 8 の領域のみで絶縁特性の劣化が検出されるにとどまった。なお、図 5 中で “A” または “D” で示されている箇所は絶縁特性の劣化が検出された領域であり、“/” で示されている箇所は絶縁特性の劣化が検出されなかった領域である。すなわち、上記の条件のように、大気圧下での処理室 DC 内の加熱に要する時間 A に対して、処理室 DC 内を真空または大気圧以下とした状況下での加熱に要する時間 B を極力短くして処理室 DC 内へ加熱した後に多結晶シリコン膜 6 を成膜することにより、処理室 DC 内における半導体基板 1 が保持されている高さによらず、ゲート酸化膜 5 の絶縁特性の劣化を効果的に防ぐことができる。

一方、図 6 に示すタイムチャートのように、 $T=B$ とし、前記 A で規定した大気圧下での処理室 DC 内の加熱工程を行わない場合には、B で規定される加熱工程の開始当初より処理室 DC 内の各所に成膜されている多結晶シリコン膜 6 より PH_3 が拡散する。そのため、その PH_3 が半導体基板 1 上に形成されているゲート酸化膜 5 に導入され、ゲート酸化膜 5 の絶縁特性を劣化させてしまう。本発明者らは、この条件下において、図 5 を用いて前述した実験と同様の実験を行った。その結果、図 7 (a) に示すように、半導体基板 1 が保持されている高さが UU (図 3 参照) の場合には、296 の領域のうち 162 の領域で絶縁特性の劣化が検出された。半導体基板 1 が保持されている高さが CL (図 3 参照) の場合には、図 7 (b) に示すように、296 の領域のうち 140 の領域で絶縁特性の劣化が検出された。なお、図 7 中で “A”、“C” または “D” で示されている箇所は絶縁特性の劣化が検出された領域であり、“/” で示されている箇所は絶縁特性の劣化が検出されなかった領域である。すなわち、図 5 に示した実験結果と合わせて、半導体基板 1 を処理室 DC 内に挿入後、大気圧下で処理室 DC 内を加熱することにより、処理室 DC 内の各所に成膜されている多結晶シリコン膜 6 からの

PH_3 の拡散を効果的に防ぐことができることを確認でき、これにより、ゲート酸化膜5の絶縁特性の劣化を効果的に防ぐことが可能となる。

次に、図8に示すように、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜（図示は省略）をマスクにして、多結晶シリコン膜6をドライエッチングすることにより、ゲート電極6Nを形成する。

続いて、上記フォトレジスト膜を除去した後、CVD法により半導体基板1上に酸化シリコン膜を堆積した後、反応性イオンエッチング（RIE）法でこの酸化シリコン膜を異方性エッチングすることにより、ゲート電極6Nの側壁にサイドウォールスペーサ7を形成する。次いで、n型の導電性を有する不純物（たとえばP）をイオン注入することにより、ゲート電極6Nの両側のp型ウェル4にnチャネルMISFETのソース、ドレイン領域を構成するn型半導体領域8を形成する。なお、サイドウォールスペーサ7の形成前に低濃度のn型半導体領域を形成し、サイドウォールスペーサ7の形成後に高濃度のn型半導体領域を形成してもよい。ここまでの工程により、nチャネル型MISFETQnを形成することができる。

次に、半導体基板1の表面を洗浄した後、たとえばスパッタリング法により、半導体基板1上にCo（コバルト）膜（図示は省略）を堆積する。続いて、半導体基板1に約600℃の熱処理を施すことにより、n型半導体領域8およびゲート電極6NとCo膜との界面にシリサイド化反応を生じさせて CoSi_2 層10を形成する。この CoSi_2 層10を形成することにより、後の工程においてn型半導体領域8上に形成される配線と半導体基板1との間でアロイスパイクが発生することを防ぐことができる。

次いで、未反応のCo膜をエッチングにより除去した後、約700℃～800℃の熱処理により CoSi_2 層10を低抵抗化する。これにより、上記配線とn型半導体領域8との間の接触抵抗を低減することができる。

次に、図9に示すように、nチャネル型MISFETQnの上部に層間絶縁膜11を形成し、続いてフォトレジスト膜をマスクにして層間絶縁膜11をドライエッチングすることにより、n型半導体領域8の上部にスルーホール12を形成した後、層間絶縁膜11の上部に配線14を形成し、本実施の形態1の半導体集

積回路装置を製造する。層間絶縁膜 11 は、たとえば酸化シリコン膜を CVD 法にて堆積することによって形成する。また、配線 14 は、たとえば層間絶縁膜 11 の上部にスパッタリング法にて W あるいは Al 合金などのメタル膜を堆積した後、フォトリソグラフ膜をマスクにしたドライエッチングでこのメタル膜をパターニングすることによって形成する。なお、上記層間絶縁膜 11、スルーホール 12 および配線 14 を形成する工程を複数回繰り返すことによって、多層に配線を形成してもよい。

(実施の形態 2)

本実施の形態 2 の半導体集積回路装置の製造方法は、前記実施の形態 1 において図 4 を用いて説明したタイムチャートとは異なるタイムチャートに沿って、多結晶シリコン膜 6 (図 2 参照) の成膜を行うものである。

本実施の形態 2 の半導体集積回路装置の製造方法は、前記実施の形態 1 において図 1 を用いて説明した工程までは同様である。その後、図 3 に示した CVD 装置の処理室 DC 内に半導体基板 1 を挿入する。続いて、図 10 に示すタイムチャートに沿って多結晶シリコン膜 6 の成膜を行う。本実施の形態 2 においては、半導体基板 1 を処理室 DC 内に挿入直後より処理室 DC 内を真空または大気圧以下とし、処理室 DC 内への加熱を行う。多結晶シリコン膜 6 の成膜開始前における処理室 DC 内の加熱に要する時間 T は、前記実施の形態 1 の場合と同様であるが、この T で規定される加熱工程中に薄いノンドープの多結晶シリコン膜 6 の堆積を行う。これにより、ノンドープの多結晶シリコン膜 6 によりゲート酸化膜 5 を覆うことになり、処理室 DC 内を真空または大気圧以下として処理室 DC 内へ加熱し、処理室 DC 内の各所に成膜されている多結晶シリコン膜 6 が含む PH_3 がその多結晶シリコン膜 6 から拡散しても、ノンドープの多結晶シリコン膜 6 がゲート酸化膜 5 を保護し、その PH_3 がゲート酸化膜 5 に導入されてしまうことを防ぐことができる。すなわち、ゲート酸化膜 5 の絶縁特性を劣化させてしまうことを防ぐことができる。本実施の形態 2 においては、このようなノンドープの多結晶シリコン膜 6 を形成した後、上記 T で規定される過熱工程を経て PH_3 が添加された多結晶シリコン膜 6 を堆積する。

その後、前記実施の形態 1 において、図 8 および図 9 を用いて説明した工程と

同様の工程を経ることにより、本実施の形態 2 の半導体集積回路装置を製造する。

(実施の形態 3)

以下、図 1 1 および図 1 2 を用いて本実施の形態 3 の半導体集積回路装置の製造方法について説明する。

- 5 本実施の形態 3 の半導体集積回路装置の製造方法は、前記実施の形態 1 において図 1 を用いて説明した工程までは同様である。その後、図 1 1 に示すように、前記実施の形態 1 において図 3 を用いて説明した C V D 装置とは別の成膜装置（第 2 成膜装置）を用いて、半導体基板 1 上に薄いイントリンシックな多結晶シリコン膜 6 A を堆積する。これにより、イントリンシックな多結晶シリコン膜 6 A によりゲート酸化膜 5 を覆うことになる。すなわち、この後に前記実施の形態 1 において図 3 を用いて説明したような C V D 装置により PH_3 が添加された多結晶シリコン膜 6 を堆積する際に、処理室 D C 内の各所に成膜されている多結晶シリコン膜 6 が含む PH_3 がその多結晶シリコン膜 6 から拡散しても、イントリンシックな多結晶シリコン膜 6 A がゲート酸化膜 5 を保護し、その PH_3 がゲート酸化膜 5 に導入されてしまうことを防ぐことができる。その結果、ゲート酸化膜 5 の絶縁特性を劣化させてしまうことを防ぐことができる。
- 10
- 15

- 次に、図 1 2 に示すように、C V D 法により上記イントリンシックな多結晶シリコン膜 6 A 上に多結晶シリコン膜 6 を堆積した後、前記実施の形態 1 において図 8 および図 9 を用いて説明した工程と同様の工程を経ることにより、本実施の
- 20
- 形態 3 の半導体集積回路装置を製造する。

(実施の形態 4)

本実施の形態 4 は、前記実施の形態 1 をさらに詳細に補足説明するものである。

- 図 1 3 は、前記実施の形態 1 において図 3 を用いて説明した低圧 C V D 装置の構成をさらに詳細に示したものである。
- 25

図 1 3 に示すように、ウェハホルダ W H は、処理室 D C と処理室 D C の下部に配置された搬送室 T A との間で昇降動作が可能な構造となっており、搬送室 T A 内にてウェハホルダ W H に所定枚数の半導体基板 1 が配置された後、ウェハホルダ W H は処理室 D C へ上昇していく。半導体基板 1 上への多結晶シリコン膜 6 （

半導体膜（図2参照）の成膜処理が終わると、ウェハホルダWHは再び搬送室TAへ下降していく。このように、本実施の形態の低圧CVD装置は、縦型構造の処理室DCを有している。

- 5 搬送室TA内には、ウェハカセットCAを配置するためのカセット棚CTが形成されている。ウェハカセットCAは、複数枚の半導体基板1を収納できるようになっている。また、本実施の形態において、搬送室TA内は、室温（約20℃）であるとする。

- 10 搬送室TA内では、搬送ロボットCRによってウェハホルダWHへの半導体基板1の配置、および多結晶シリコン膜6の成膜処理が終了した半導体基板1のウェハホルダWHからの取り出しが行われる。この搬送ロボットは、半導体基板1を裏面から吸着して搬送する搬送アームARMを複数本（たとえば5本）有し、昇降動作、水平動作および回転動作を行うことにより、ウェハカセットCAから一度に複数枚の半導体基板1を取り出し、その半導体基板1をウェハホルダWHへ配置する。所定枚数（たとえば、半導体基板1の径が約150mm（約6イン
- 15 チ）である場合には150枚程度）の半導体基板1がウェハホルダWHに配置されると、ウェハホルダWHは処理室DCへと上昇し、半導体基板1に対して多結晶シリコン膜6の成膜処理が施される。その多結晶シリコン膜6の成膜処理が終わり、ウェハホルダWHが搬送室TAへ下降すると、搬送ロボットCRはウェハホルダWHから半導体基板1を取り出し、ウェハカセットCAへ収納する。

- 20 処理室DCの外部には、処理室DCを加熱するためのヒーターH1、H2、H3、H4が設けられている。このヒーターH1、H2、H3、H4からの加熱により、処理室DC内は、常時500℃～600℃程度に保たれている。

- 25 ヒーターH1、H2、H3、H4は、個別に加熱温度を設定することが可能であり、処理室DCへの加熱に温度勾配を形成することができる。たとえば、成膜ガスであるSiH₄ガスおよびPH₃ガスが処理室DCの下部から導入される場合には、相対的に処理室DCの下部に取り付けられたヒーターH4から相対的に処理室DCの上部に取り付けられたヒーター1に向かって、加熱温度が高くなるように各ヒーターの加熱温度を設定する。処理室DCの下部から導入された成膜ガスは、熱分解しながら上昇していく。そのため、成膜ガスは、処理室DCの上部

に行くに従って熱分解し難くなる。つまり、半導体基板 1 上に上記多結晶シリコン膜 6 を堆積し難くなる。そこで、前述したように、ヒーター 4 からヒーター 1 に向かって加熱温度が高くなるように温度勾配を形成することによって、処理室 DC の上部においても成膜ガスの熱分解を促進するものである。また、ヒーター

5 H 1、H 2、H 3、H 4 は、個別に加熱温度を設定することができるので、すべて同程度の温度で加熱することも可能である。

本実施の形態 4 では、処理室 DC の外部に 4 個のヒーター H 1、H 2、H 3、H 4 を取り付ける場合について例示したが、この 4 個のヒーター H 1、H 2、H 3、H 4 にて加熱する場合と同様の加熱処理が可能な 1 個のヒーターまたは 4 個

10 以外の複数個のヒーターを取り付ける構成としても良い。複数個のヒーターを取り付ける場合には、そのすべてが同じ大きさでなくても良い。

図 1 4 は、上記ウェハホルダ WH への半導体基板 1 の配置方法を示す説明図である。なお、図 1 4 においては、本実施の形態の半導体集積回路装置が実際に形成される（製品となる）半導体基板 1 については図示を省略している。

15 本実施の形態において、ウェハホルダ WH には、径が約 1 5 0 mm（約 6 インチ）の半導体基板 1 が約 1 5 0 枚配置される。そのうち、たとえば最も下部に配置された 2 0 枚および最も上部に配置された 5 枚は、成膜処理中における、処理室 DC 内の成膜ガスを整流するために配置されたダミーウェハ DW である。また、それら上部および下部のダミーウェハ DW の間には、モニタ用ウェハ MW が適

20 当な間隔で複数枚（たとえば 5 枚程度）配置されている。このモニタ用ウェハ MW は、上記多結晶シリコン膜 6 にドーピングされている PH_3 の濃度を測定する目的と、堆積された多結晶シリコン膜 6 の膜厚を測定するために配置されたものである。これらダミーウェハ DW およびモニタ用ウェハ MW は、本実施の形態の半導体集積回路装置が実際に形成される半導体基板 1 とは別に用意されたものである。

25 図 1 5 は、前記実施の形態 1 において図 4 および図 6 に示したタイムチャートのうち、多結晶シリコン膜 6 の成膜が開始するまでの処理室 DC 内の圧力変化を示したものであり、図 1 6 は、多結晶シリコン膜 6 の成膜が開始するまでの経過時間に対応した半導体基板 1 の温度変化を示したものである。図 1 5 に示した圧力変化および図 1 6 に示した温度変化は、ともにウェハホルダ WH が処理室 DC

内に入りきった時点からのものを示している。なお、前記実施の形態1にて、図6に示したタイムチャートでは、ウェハホルダWHが処理室DC内に完全に入りきると同時に処理室DC内の減圧処理を開始する例を示しているが、実際には、ウェハホルダWHが処理室DC内に完全に入りきると同時に減圧処理を開始する

5 つもりでも、多少の時間（たとえば数秒程度）が経過した後に減圧処理が始まる
ことがほとんどなので、図15においては、その点も考慮した圧力変化を図示し
ている。また、本実施の形態において、前述したヒーターH1、H2、H3、H
4は、すべて同程度の温度で処理室DCを加熱し、処理室DCへの加熱に温度勾
配は形成しないものとする。

10 図15には、処理室DC内の減圧処理を開始するまでに処理室DCに対して施
した加熱処理時間について示している。Aは、本実施の形態の成膜手段における
タイムチャート（前記実施の形態1にて示した図4に対応）のものであり、A1
は、本実施の形態の成膜手段と比較した成膜手段におけるタイムチャート（前記
実施の形態1にて示した図6に対応）のものである。

15 また、図16において示している半導体基板1の温度は、ウェハホルダWHに
配置された半導体基板1のうち、最下部に配置された半導体基板（第1半導体基
板）1の温度である。これは、ウェハホルダWHが処理室DC内に挿入される時
に、ウェハホルダWHは上部から挿入されていくことと、上記したように処理室
DC内は常時500℃～600℃程度に加熱されていることから、相対的に上部
20 に配置された半導体基板1は、ウェハホルダWHが処理室DCへ挿入されている
途中でも加熱されていることに起因する。ウェハホルダWHの処理室DCへの挿
入が完了した時点では、たとえば最上部の半導体基板1が約300℃で最下部の
半導体基板1が約200℃というように温度差が生じており、ヒーターH1、H
2、H3、H4からの加熱によって最上部の半導体基板1が成膜処理を開始でき
25 る温度に達した時点においても、最も温度の低い最下部の半導体基板1が成膜処
理を開始できる温度に達していない場合が考えられる。すなわち、その最下部の
半導体基板1が成膜処理を開始できる温度に達したことを確認することによって
、ウェハホルダWHに配置されたすべての半導体基板1が成膜処理できる温度に
達したと判断できるのである。なお、ヒーターH1、H2、H3、H4からの加

熱に温度勾配を形成することによって、最下部の半導体基板 1 以外の半導体基板 1 が最も遅く成膜処理を開始できる温度に達するようになるならば、その最下部の半導体基板 1 以外の半導体基板 1 の温度変化を観察すればよい。

図 1 5 に示すように、本実施の形態の成膜手段においては、ウェハホルダ WH
5 を処理室 DC 内に挿入した後、半導体基板 1 が成膜処理を開始できる温度（第 1 の温度（たとえば約 500℃））の約 90% 以上にまで加熱されてから処理室 DC 内の減圧処理を開始している。本実施の形態において、この約 90% 以上というのは、摂氏温度での値をもとにする。また、前述したように処理室 DC 内は常時 500℃～600℃程度に加熱されており、この加熱温度は半導体基板 1 の温
10 度を成膜処理を行える温度に保持できるように設定されていることから、半導体基板 1 の温度変化は、成膜処理を開始できる温度に達すると安定する。なお、減圧処理を開始するまでは、処理室 DC 内の圧力は大気圧（第 1 気圧）に保たれている。すなわち、処理室 DC 内は成膜処理を行なう圧力（第 3 気圧）以上の圧力（第 1 気圧）に保たれている。

15 ここで、ウェハホルダ WH が処理室 DC 内に挿入された後、処理室 DC 内の減圧処理を開始するまでの時間が A である。また、処理室 DC 内の減圧処理は、処理室 DC 内が成膜処理を行える圧力になった時点で停止し、処理室 DC 内をその圧力で保持するものである。すなわち、処理室 DC 内を成膜処理を行なう圧力（第 3 気圧）以下の圧力（第 2 気圧）まで減圧した後、処理室 DC 内に成膜のため
20 の成膜ガスを供給し成膜を行なう圧力で成膜処理を行なう。

一方、本実施の形態の成膜手段と比較した成膜手段の場合には、ウェハホルダ WH が処理室 DC 内に挿入された後、処理室 DC 内の減圧処理を開始するまでに多少のインターバル時間 A1 があるものの、ほぼウェハホルダ WH が処理室 DC 内に挿入された直後から処理室 DC 内の減圧処理を開始している。つまり、半導
25 体基板 1 の温度が成膜処理を開始できる温度に達する前に処理室 DC 内の減圧処理を行っている。そのため、本実施の形態の成膜手段に比べて、真空に近い状態処理室 DC 内で半導体基板 1 は加熱されることになるので、本実施の形態 1 の成膜手段に比べて半導体基板 1 の温度は上昇し難くなる（図 1 6 参照）。なお、本実施の形態の成膜手段と同様に、処理室 DC 内の減圧処理は、処理室 DC 内が成

膜処理を行える圧力になった時点で停止し、処理室DC内をその圧力で保持するものである。

ところで、本実施の形態の成膜手段および本実施の形態の成膜手段と比較した成膜手段共に、処理室DC内の減圧処理は、処理室DC内に異物が発生しない程度に可能な限り短時間で行っている。これは、減圧処理中に他の処理を行った場合には、処理室DC内に異物等を巻き込んでしまう恐れがあるからであり、処理室DC内に異物等を巻き込んでしまった場合には、成膜される多結晶シリコン膜の膜質を低下させてしまうことが懸念されるからである。

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

たとえば、前記実施の形態においては、多結晶シリコン膜に PH_3 を添加する場合について示したが、 AsH_3 を添加してもよい。

また、前記実施の形態においてはnチャネル型MISFETを形成する場合について示したが、pチャネル型MISFETを形成する場合にも本発明の半導体集積回路装置の製造方法は適用可能であり、この場合には、ゲート電極となる多結晶シリコン膜には B_2H_6 などを添加する。

また、前記実施の形態の多結晶シリコン膜の成膜方法は、ゲート電極材料となる多結晶シリコン膜の成膜ばかりでなく、MOSキャパシタの容量電極あるいはDRAMのキャパシタの下部電極となる多結晶シリコン膜の成膜にも適用することが可能である。

産業上の利用可能性

本発明は、MISFET、DRAM (Dynamic Random Access Memory) を始めとする半導体集積回路装置の製造工程およびマイクロマシンの製造工程などに適用することができる。

請 求 の 範 囲

1. (a) 半導体基板上に絶縁膜を形成する工程と、
(b) 前記(a)工程後、前記半導体基板を第1成膜装置の処理室内に挿入する工程と、
- 5 (c) 前記処理室内に加熱する工程と、
(d) 前記(c)工程後、化学的成膜手段にて前記絶縁膜上に導電性を有する不純物が添加されたシリコン膜を成膜する工程とを含み、
前記(c)工程は、
(c1) 前記処理室内を大気圧に保ち、前記処理室内に加熱する工程と、
- 10 (c2) 前記(c1)工程後、前記処理室内を真空または大気圧以下とした状態で前記処理室内に加熱する工程とを含み、
前記(c1)工程に要する時間は前記(c2)工程に要する時間よりも長いことを特徴とする半導体集積回路装置の製造方法。
2. (a) 半導体基板上に絶縁膜を形成する工程と、
- 15 (b) 前記(a)工程後、前記半導体基板を第1成膜装置の処理室内に挿入する工程と、
(c) 前記処理室内に加熱する工程と、
(d) 前記(c)工程後、化学的成膜手段にて前記絶縁膜上に導電性を有する不純物が添加されたシリコン膜を成膜する工程とを含み、
- 20 前記(c)工程は、
(c1) 前記処理室内を大気圧に保ち、前記処理室内に加熱する工程と、
(c2) 前記(c1)工程後、前記処理室内を真空または大気圧以下とした状態で前記処理室内に加熱する工程を含み、
前記(c1)工程に要する時間は前記(c2)工程に要する時間の0.1倍以上
- 25 かつ1.3倍以下であることを特徴とする半導体集積回路装置の製造方法。
3. (a) 半導体基板上に絶縁膜を形成する工程と、
(b) 前記(a)工程後、前記半導体基板を第1成膜装置の処理室内に挿入する工程と、
(c) 前記処理室内を真空または大気圧以下とする工程と、

(d) 前記(c)工程後、化学的成膜手段にて前記絶縁膜上に導電性を有する不純物を含まないシリコン膜を成膜する工程と、

(e) 前記(d)工程後、前記処理室内を真空または大気圧以下とした状態で前記処理室内に加熱する工程と、

- 5 (f) 前記(e)工程後、化学的成膜手段にて前記シリコン膜上に導電性を有する不純物が添加されたシリコン膜を成膜する工程とを含み、
前記(c)工程に要する時間は前記(e)工程に要する時間よりも短いことを特徴とする半導体集積回路装置の製造方法。

4. (a) 半導体基板上に絶縁膜を形成する工程と、

- 10 (b) 前記(a)工程後、第2成膜装置を用い化学的成膜手段にて前記絶縁膜上に導電性を有する不純物を含まないシリコン膜を成膜する工程と、

(c) 前記(b)工程後、第1成膜装置を用い化学的成膜手段にて前記シリコン膜上に導電性を有する不純物が添加されたシリコン膜を成膜する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

- 15 5. (a) 半導体基板上に絶縁膜を形成する工程と、

(b) 前記(a)工程後、前記半導体基板を第1成膜装置の処理室内に挿入する工程と、

(c) 前記処理室内を大気圧に保ち、前記半導体基板を加熱する工程と、

- 20 (d) 前記(c)工程後、前記半導体基板を加熱しつつ前記処理室内の圧力を真空または大気圧以下に減圧する工程、

(e) 前記処理室内の前記圧力を真空または大気圧以下に保ち、化学的成膜手段にて前記絶縁膜上に導電性を有する不純物が添加された半導体膜を成膜する工程とを含み、

- 25 前記(c)工程では、前記半導体基板の温度を前記半導体膜の成膜時における前記半導体基板の第1の温度にする加熱、または前記半導体基板の温度を前記第1の温度に近づける加熱を行うことを特徴とする半導体集積回路装置の製造方法。

6. (a) 半導体基板上に絶縁膜を形成する工程と、

(b) 前記(a)工程後、前記半導体基板を第1成膜装置の処理室内に挿入する工程と、

(c) 前記処理室内を大気圧に保ち、前記半導体基板を加熱する工程と、

(d) 前記 (c) 工程後、前記半導体基板を加熱しつつ前記処理室内の圧力を真空または大気圧以下に減圧する工程、

(e) 前記処理室内の前記圧力を真空または大気圧以下に保ち、化学的成膜手段
5 にて前記絶縁膜上に導電性を有する不純物が添加された半導体膜を成膜する工程
とを含み、

前記処理室内には複数枚の前記半導体基板が配置され、前記処理室は複数枚の前
記半導体基板が上下方向に並べて配置される縦型の処理室であり、前記 (c) 工
程では、前記半導体基板の温度を前記半導体膜の成膜時における前記半導体基板
10 の第 1 の温度にする加熱、または前記半導体基板の温度を前記第 1 の温度に近づ
ける加熱を行うことを特徴とする半導体集積回路装置の製造方法。

7. 請求項 6 記載の半導体集積回路装置の製造方法において、前記 (c) 工程は
、前記処理室内に配置された前記複数枚の前記半導体基板のうち最も温度の低い
第 1 半導体基板の温度を前記半導体膜の成膜時における前記半導体基板の第 1 の
15 温度にする加熱、または前記第 1 半導体基板の温度を前記第 1 の温度に近づける
加熱を行うことを特徴とする半導体集積回路装置の製造方法。

8. (a) 半導体基板上に絶縁膜を形成する工程と、

(b) 前記 (a) 工程後、前記半導体基板を第 1 成膜装置の処理室内に挿入する
工程と、

20 (c) 前記処理室内を第 1 気圧に保ち、前記半導体基板を第 1 の温度に加熱する
工程と、

(d) 前記 (c) 工程後、前記半導体基板を加熱しつつ前記処理室内の圧力を第
2 気圧以下に減圧する工程、

(e) 前記処理室内の前記圧力を真空または大気圧以下の第 3 気圧に保ち、化学
25 的成膜手段にて、前記第 1 の温度の半導体基板の前記絶縁膜上に、導電性を有す
る不純物が添加されたシリコン膜を成膜する工程とを含み、

前記 (d) 工程は、前記第 2 気圧が前記第 3 気圧よりも低くなるように減圧し、

前記 (c) 工程は、前記第 1 気圧が前記第 3 気圧よりも高いことを特徴とする
半導体集積回路装置の製造方法。

9. (a) 半導体基板上に絶縁膜を形成する工程と、
(b) 前記(a)工程後、前記半導体基板を第1成膜装置の処理室内に挿入する工程と、
(c) 前記処理室内を第1気圧に保ち、前記半導体基板を加熱する工程と、
5 (d) 前記(c)工程後、前記半導体基板を加熱しつつ前記処理室内の圧力を第2気圧以下に減圧する工程、
(e) 前記処理室内の前記圧力を真空または大気圧以下の第3気圧に保ち、化学的成膜手段にて前記絶縁膜上に導電性を有する不純物が添加されたシリコン膜を成膜する工程とを含み、
10 前記(d)工程は、前記第2気圧が前記第3気圧よりも低くなるように減圧し、
前記(c)工程は、前記第1気圧を、前記第3気圧よりも高い状態に保ちつつ、かつ、前記半導体基板の温度を前記第1の温度に近づける加熱を行うことを特徴とする半導体集積回路装置の製造方法。
10. 請求項5～9のうちの何れか一項に記載の半導体集積回路装置の製造方法
15 において、前記(c)工程に要する時間は前記(d)工程に要する時間よりも長いことを特徴とする半導体集積回路装置の製造方法。
11. 請求項5～9のうちの何れか一項に記載の半導体集積回路装置の製造方法において、前記(c)工程に要する時間は前記(d)工程に要する時間の0.1倍以上かつ1.3倍以下であることを特徴とする半導体集積回路装置の製造方法。
20 12. 請求項8または9記載の半導体集積回路装置の製造方法において、前記処理室内には複数枚の前記半導体基板が配置され、前記処理室は複数枚の前記半導体基板が上下方向に並べて配置される縦型の処理室であり、前記(c)工程は、
前記処理室内に配置された前記複数枚の前記半導体基板のうち最も温度の低い第
1半導体基板の温度を前記半導体膜の成膜時における前記半導体基板の第1の温
25 度にする加熱、または前記第1半導体基板の温度を前記第1の温度に近づける加熱を行うことを特徴とする半導体集積回路装置の製造方法。
13. 請求項8または9記載の半導体集積回路装置の製造方法において、前記第1気圧は大気圧であることを特徴とする半導体集積回路装置の製造方法。

図 1

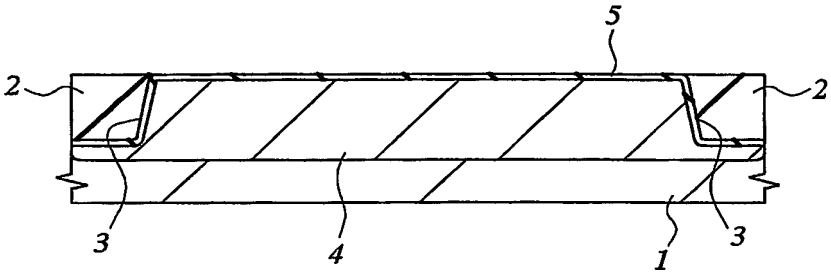


図 2

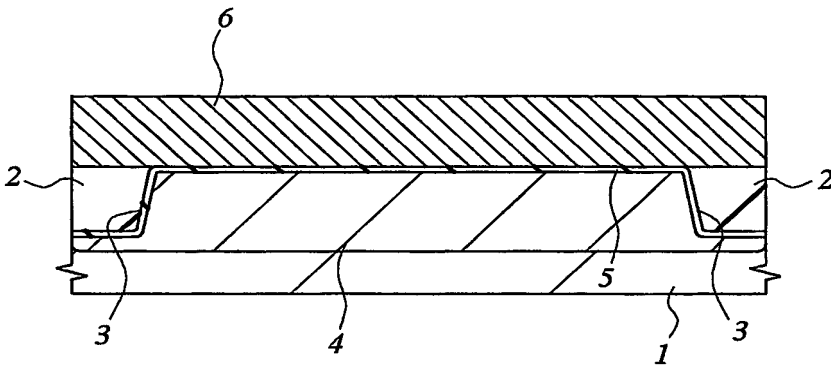


図 3

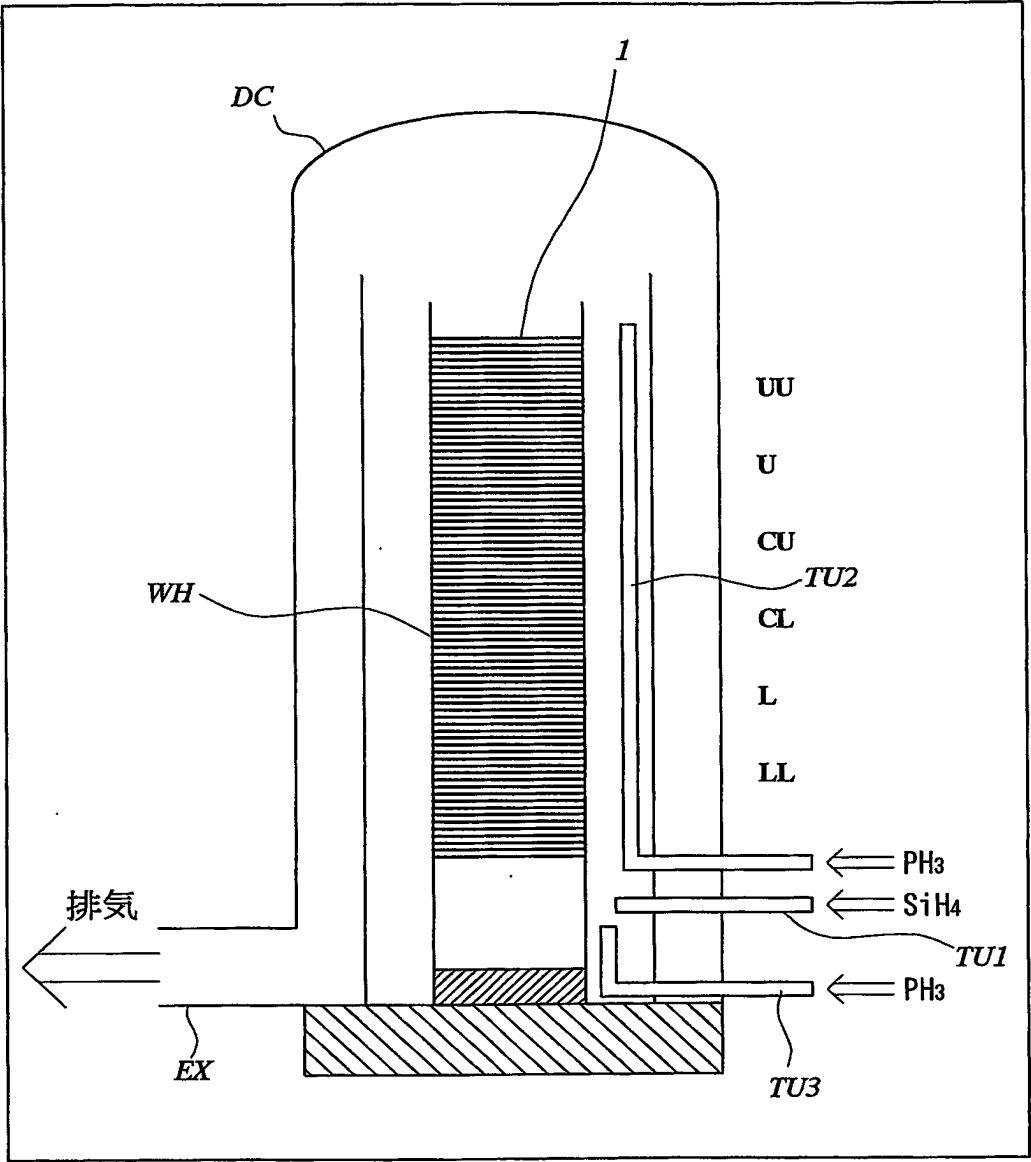
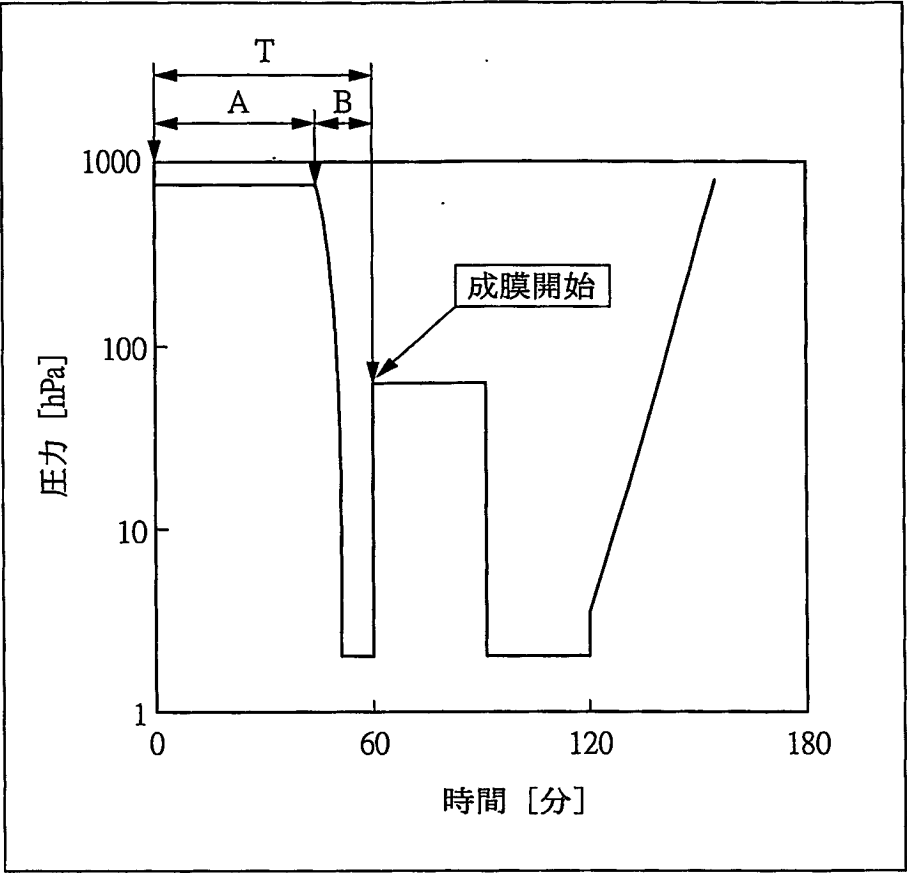

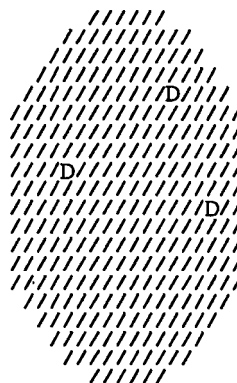
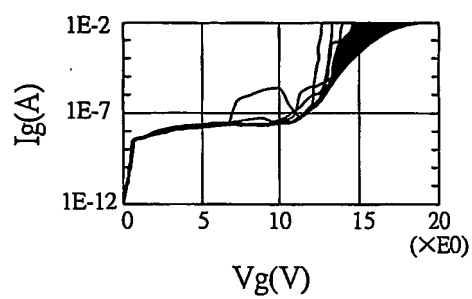


図 4



 5

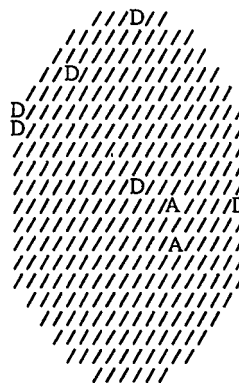
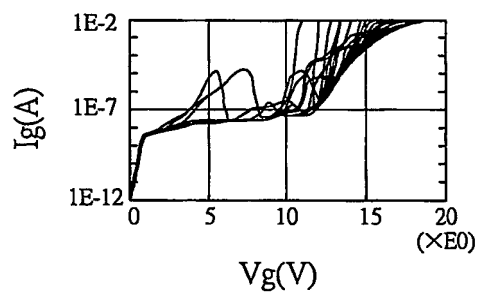
(a)



A = 0
B = 0
C = 0
D = 3

I = 293

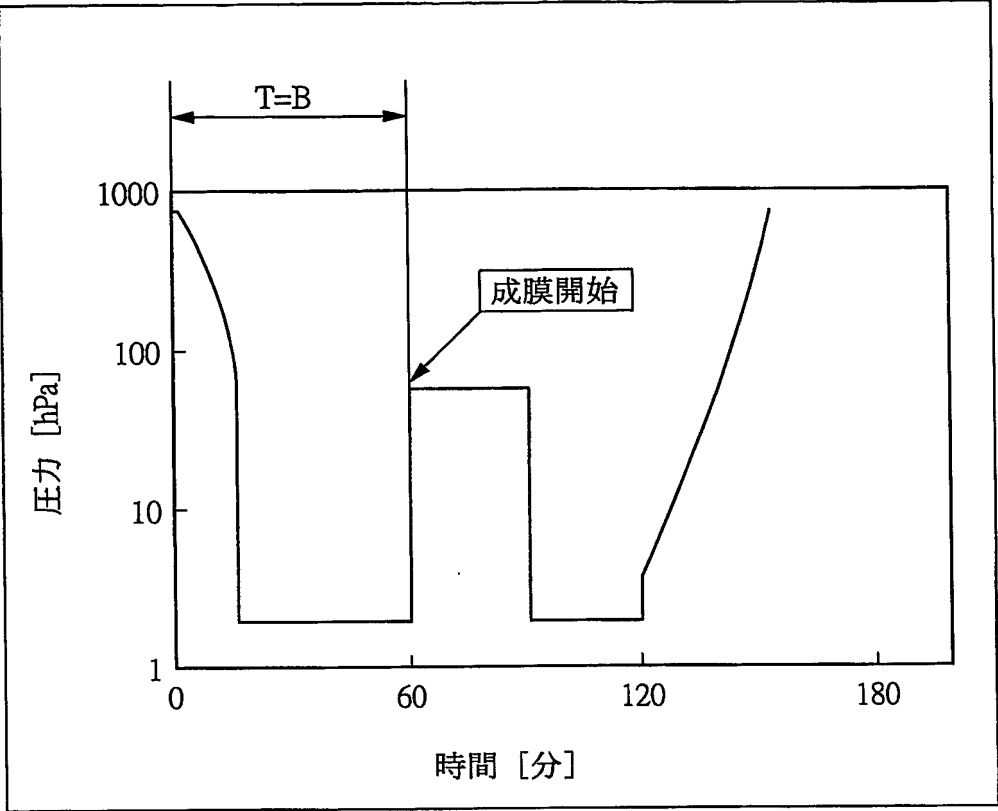
(b)



A = 2
B = 0
C = 0
D = 6

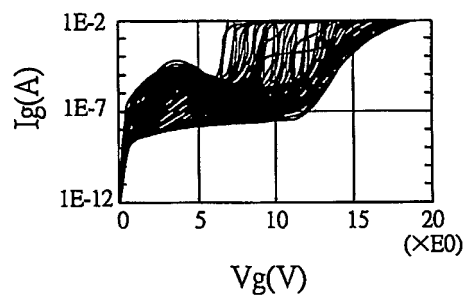
I = 288

図 6



 7

(a)



```

      ///D/
    /D///D///
  C////////A
  //////////D///A
CDAAAD////////A/D
//DDCAAAAC//AD/C//
/D//DCACAACAACCADD
DD//AADDADAACAACA
/D//CC/DCDDC/DACAD
/CDC//DDC/CDC/CDA
/DAC/A/D/DDCA//C
A/DDCA//DA/AAA
DDCAD//D/CA//CAC
/DCAD//CADACA
/CAA//D//D/D/C//
ADAC/CD//A//
CCACADD//D/ACA
CACD//D/C/
/ACDC/D//A
D/C///

```

A = 56

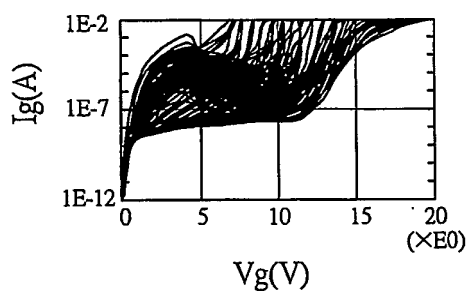
B = 0

C = 48

D = 58

/ = 134

(b)



```

      ///A/A
    /A//D//DDA
  /A////////D//
  D//DD//CAADAA
  C/AA//A//A/D//A
AC/AC/D//D/AAACAAD
AAC////////A//AA
ADADDCA//D//DAAA
CA DA/DDA/D//AAA
AC//A//C//CDCADA
DD//AD//ACAAAA
ACDD//A//C//AAADAC
C/A/C//A//D/AC/AA
A/DDD//D//D/C/
/C////D//D/CD
D////C/D//A//A/
/////////C
DD/////////
DADDC//D
DDACD/

```

A = 65

B = 0

C = 26

D = 49

/ = 156

图 8

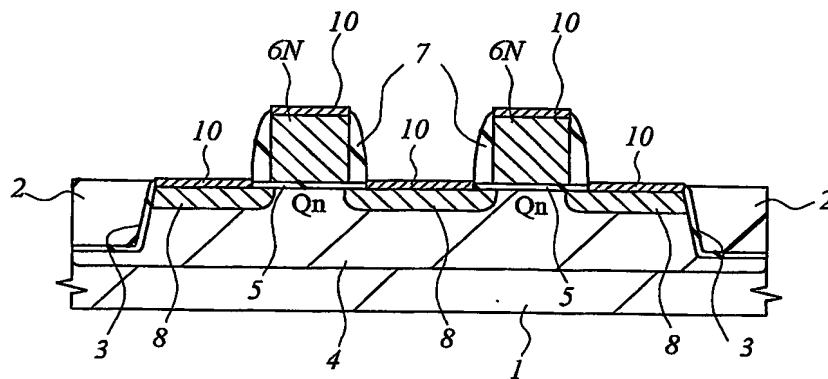


图 9

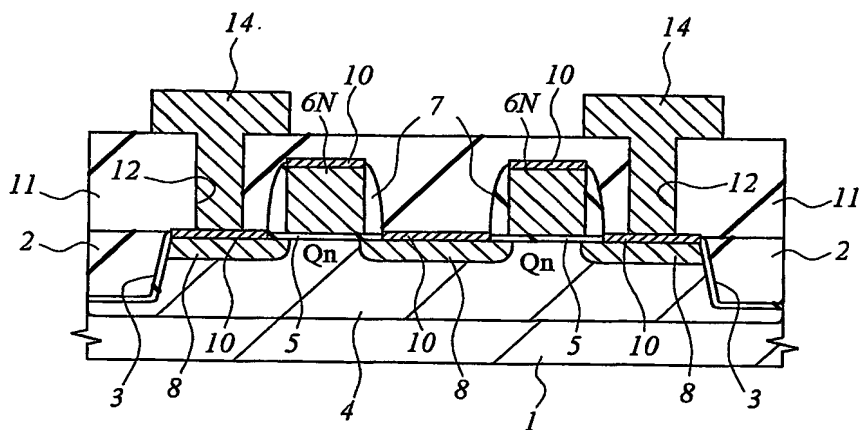


図 10

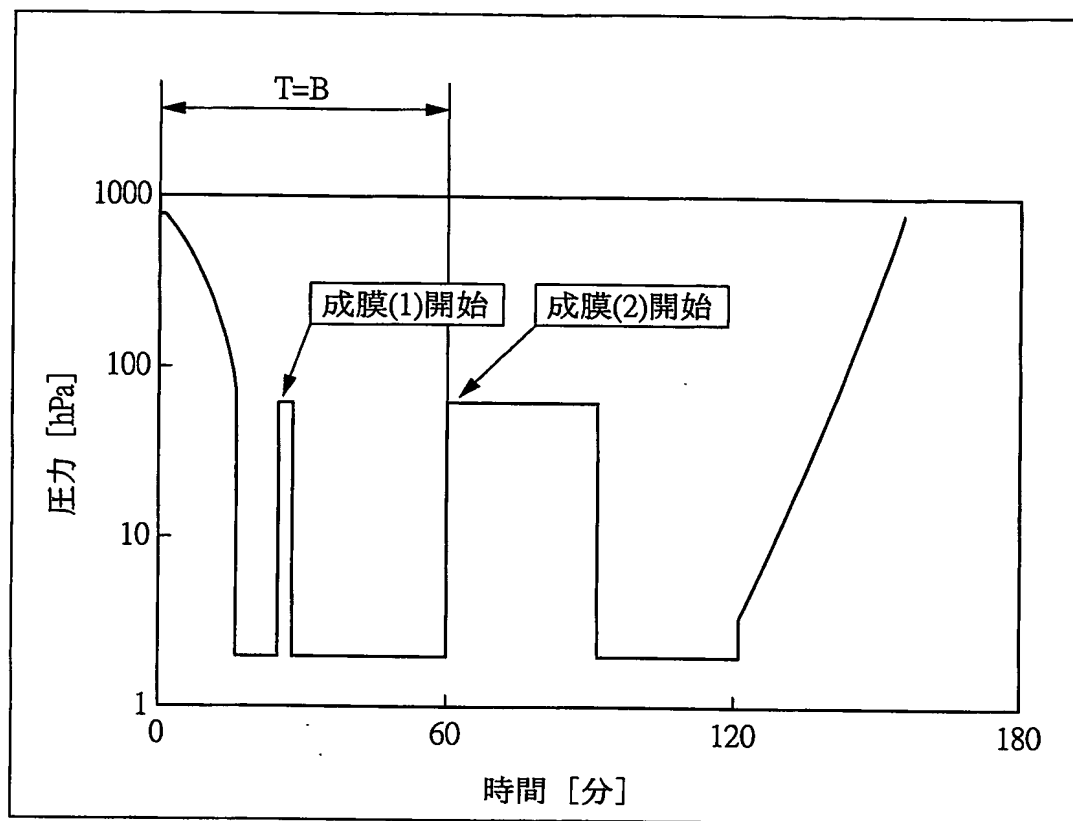


図 11

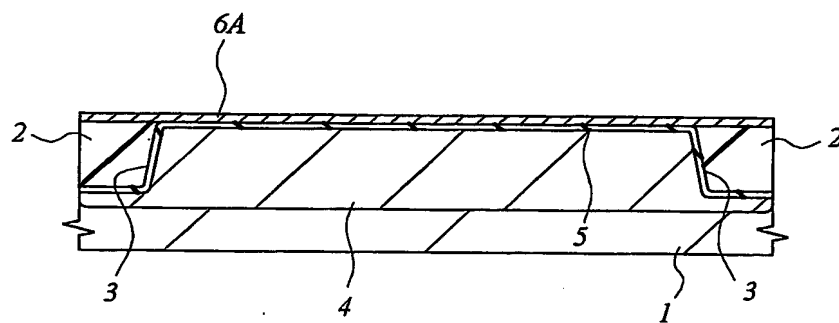
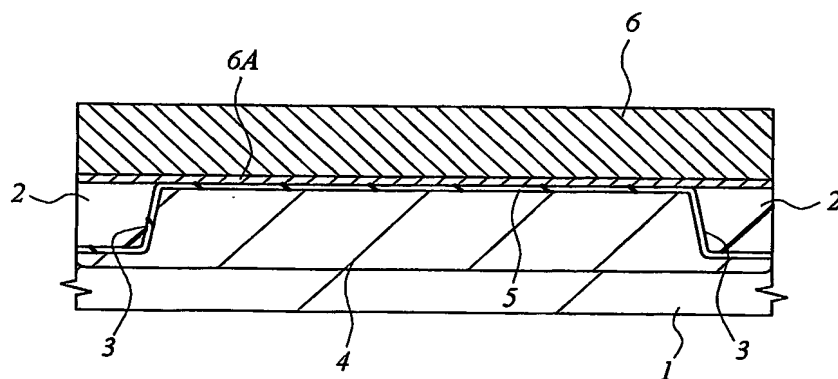
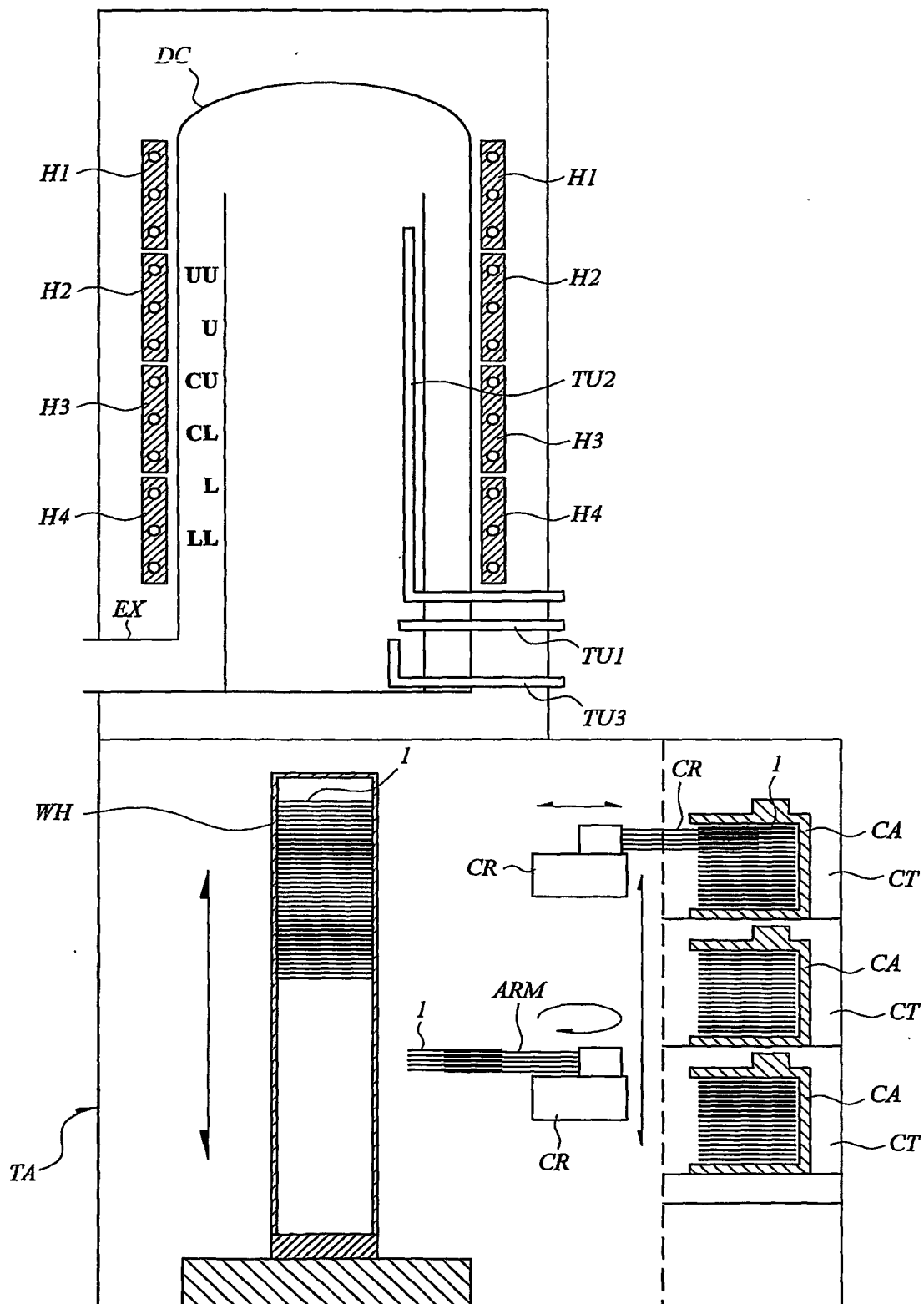


図 12



13



14

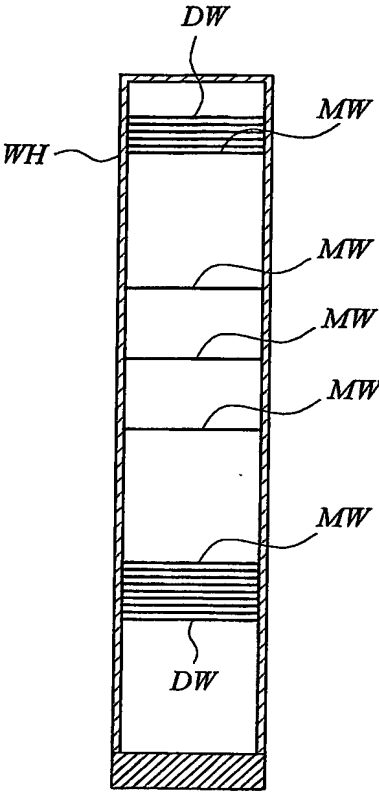


図 15

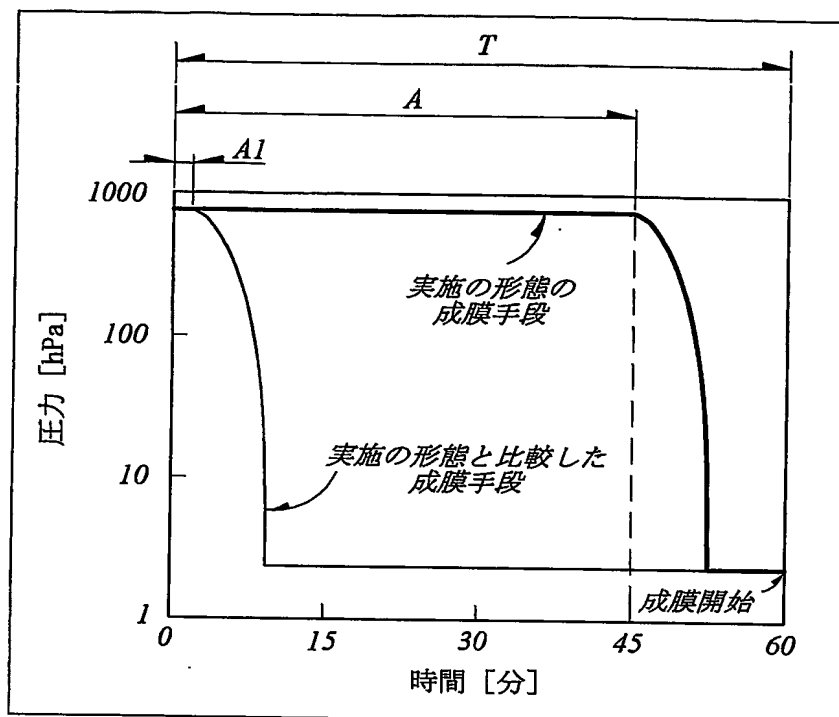
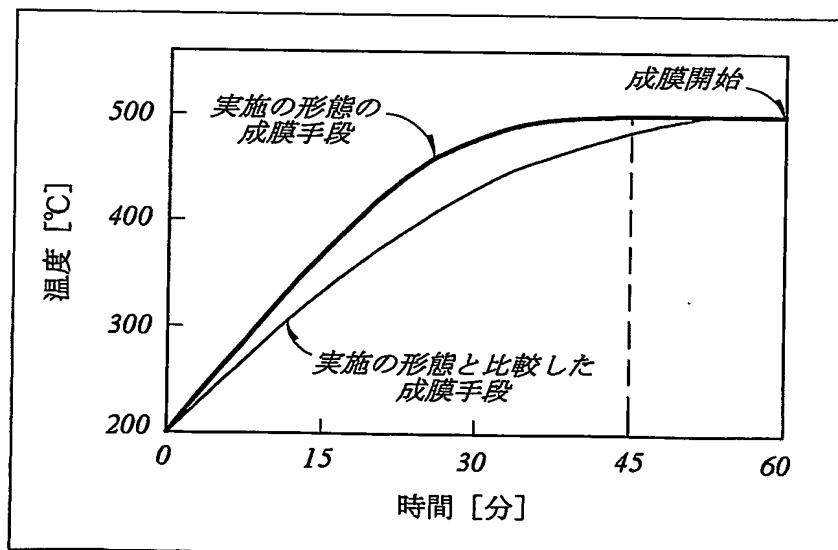


図 16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/00068

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/285, H01L21/205, H01L21/28, H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/285, H01L21/205, H01L21/28, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7-230955 A (Hitachi, Ltd.), 29 August, 1995 (29.08.95), Full text; Figs. 1 to 8 (Family: none)	1-13
A	JP 5-217910 A (Seiko Epson Corp.), 27 August, 1993 (27.08.93), Full text; Figs. 1 to 3 (Family: none)	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 April, 2003 (11.04.03)

Date of mailing of the international search report
22 April, 2003 (22.04.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/285, H01L21/205, H01L21/28, H01L29/78

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/285, H01L21/205, H01L21/28, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 7-230955 A (株式会社日立製作所) 1995. 08. 29, 全文, 図1-8 (ファミリーなし)	1-13
A	JP 5-217910 A (セイコーエプソン株式会社) 1993. 08. 27, 全文, 図1-3 (ファミリーなし)	1-13

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日 11. 04. 03

国際調査報告の発送日 22.04.03

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
小野田 誠



4 L 8427

電話番号 03-3581-1101 内線 3462

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.